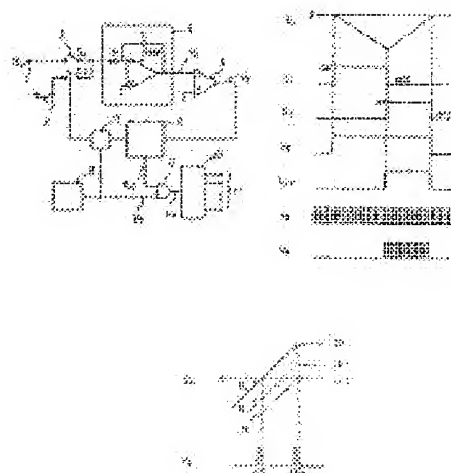


**ANALOG-DIGITAL CONVERTER****Publication number:** JP59202724 (A)**Publication date:** 1984-11-16**Inventor(s):** NISHITARUMI TAKESHI**Applicant(s):** HITACHI LTD**Classification:****- international:** *H03M1/52; H03M1/50*; (IPC1-7): H03K13/20**- European:** H03M1/52**Application number:** JP19830077052 19830430**Priority number(s):** JP19830077052 19830430**Abstract of JP 59202724 (A)**

**PURPOSE:** To offer a double integral type A/D converter which is capable of raising a resolution in proportion to the number of times of addition by adding continued A/D-converted values.

**CONSTITUTION:** S1 and S2 of a switch 3 are turned off in advance, and first of all, S1 is turned on by a command of a control logical circuit 6, and an analog input  $V_{in}$  is integrated. An output  $V_4$  of an integrator 4 increases in the negative direction by an inclination corresponding to the magnitude of  $V_{in}$ . After fixed intervals of time, S1 is turned off, S2 is turned on, and this time, the integrator 4 is integrated in the opposite direction at a prescribed inclination by a reference voltage  $-V_{ref}$ . A comparator 5 compares  $V_4$  with zero potential, and when it reaches the zero potential, the output is inverted.; When  $V_4$  is inverted and becomes "L", the control logical circuit 6 outputs a signal for turning off S2. In this case, turning-on and -off of S2 are executed in synchronization with a clock pulse by a synchronizing circuit 7, therefore, in case when a point reaching the zero potential exists between a clock pulse CP1 and CP2, turning-off of S2 is extended to the CP2 point, and the remainder of the conversion in the CP1 point is moved in parallel to the CP2 point as it is.



.....  
Data supplied from the **esp@cenet** database — Worldwide

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—202724

⑬ Int. Cl.<sup>3</sup>

H 03 K 13/20

識別記号

1 0 1

庁内整理番号

7530—5 J

⑭ 公開 昭和59年(1984)11月16日

発明の数 1

審査請求 未請求

(全 4 頁)

⑮ アナログ・デジタル変換器

立製作所那珂工場内

⑯ 特 願 昭58—77052

⑰ 出 願 人 株式会社日立製作所

⑱ 出 願 昭58(1983)4月30日

東京都千代田区神田駿河台4丁目6番地

⑲ 発 明 者 西垂水剛

⑳ 代 理 人 弁理士 高橋明夫 外3名

勝田市市毛882番地株式会社日

明 細 書

発明の名称 アナログ・デジタル変換器

特許請求の範囲

1. アナログ入力と基準電圧とを交互に切換えるスイッチ手段と、該スイッチ手段により切換えられた入力電圧を積分する積分器と、該積分器の積分出力と一定電位を比較する比較器と、ゲート回路にデジタル値の計数に用いるクロックパルスを出力するクロックパルス発生器と、比較器出力を取り込み前記スイッチ手段を所定のタイミングでオン・オフ制御するための制御信号をスイッチ手段に出力し且つゲート回路に計数時間制御信号を出力する論理制御回路とを有する二重積分形アナログ・デジタル変換器において、制御論理回路の制御信号を受けたときにクロックパルスに同期して前記スイッチ手段をオン・オフ制御するための信号をスイッチ手段に出力する同期化回路を、該スイッチ手段と制御論理回路との間に設けたことを特徴とするアナログ・デジタル変換器。

発明の詳細な説明

〔発明の利用分野〕

本発明は、二重積分形アナログ・デジタル(A/D)変換器に関するものである。

〔発明の背景〕

一般に二重積分形A/D変換器では、先ず、積分器をリセットし、その出力を一定電位にした後、アナログ入力を一定時間積分し、次にアナログ入力とは逆極性の基準電圧により、逆方向に積分する。この逆積分は、積分器の出力が、ある一定の電位に達するまで続けられる。このように、常に一定の電位から交換が開始され、また一定の電位で終了しているため、変換の余り、即ち、1カウントに満たずデジタル量に変換できなかったアナログ量は、積分器に保持されず、毎回捨てられていた。従つて、各変換値は量子化され、連続した変換値を加算しても分解能を上げることができなかった。

〔発明の目的〕

本発明の目的は、連続したA/D変換値を加算することにより、加算回数に比例して分解能を上

げることのできる二重積分形A/D変換器を提供することにある。

#### 〔発明の概要〕

本発明は、二重積分形A/D変換器において、アナログ入力と基準電圧を交互に切換えて積分器に導くスイッチ手段のオン・オフ制御を行なう制御論理回路の制御信号を受けたときにクロックパルスに同期して前記スイッチ手段をオン・オフ制御するための信号をスイッチ手段に出力する同期化回路を、該スイッチ手段と制御論理回路との間に設けたことを特徴とするものである。即ち、前記スイッチ手段のオン・オフをクロックパルスに同期して行なうことによつて、A/D変換の余り、換言すれば1カウントに満たずデジタル値に変換されなかつたアナログ量が、積分器に保持され、次の変換に繰り込まれる。

従つて、連続した変換値（デジタル値）を加算することにより、加算個数に比例して分解能を上げることができるものである。

#### 〔発明の実施例〕

のオン・オフ制御信号を出力するほか、クロックパルス発生器8から出力されるクロックパルスの計数時間を制御する信号を出力する。クロックパルスの計数時間は、逆積分が開始されてから、積分器4の出力 $V_4$ がゼロ電位を横切るまでの時間である。同期化回路7は制御論理回路6からのスイッチ3の $S_1$ 、 $S_2$ のオン、オフ制御信号を受け、これをクロックパルスに同期してスイッチ3の $S_1$ 、 $S_2$ を制御する。このクロックパルスは、前述の同期化回路7に入力されるとともに、AND回路9の一方の入力端に入力される。AND回路9の他の入力端には、制御論理回路6からの計数時間<sup>制御</sup>信号 $V_{62}$ が入力される。この信号が“H”のときのみクロックパルスは、AND回路9を経て、カウンタ回路10に伝達される。カウンタ回路10は、このクロックパルスをカウントし、カウント値を出力端11から出力する。

このように構成された二重積分形A/D変換器の一連の動作を第2図のダイミングチャートを参照して説明する。

本発明の一実施例を図面によつて説明する。第1図に本発明に係るA/D変換器の一実施例の構成を示す。

同図において、1はアナログ入力 $V_{in}$ が印加される入力端子で、2は基準電圧端子で、アナログ入力 $V_{in}$ と逆極性の基準電圧（ $-V_{ref}$ ）が印加される。スイッチ3の $S_1$ 、 $S_2$ は制御信号により、これらアナログ入力 $V_{in}$ 、基準電圧（ $-V_{ref}$ ）を交互に切換え積分器へ導く。これらのスイッチとしては、高速でオン抵抗の小さなアナログスイッチが用いられる。演算増幅器AMPを抵抗 $R$ と積分コンデンサ $C$ から成る積分器4は、スイッチ3の $S_1$ 、 $S_2$ を介して、入力されるアナログ入力 $V_{in}$ あるいは基準電圧（ $-V_{ref}$ ）を積分する。この積分器の出力 $V_4$ は比較器5の反転入力端子に入力される。比較器5の他の入力端はゼロ電位に固定される。従つて、積分器4の出力 $V_4$ がゼロを横切る度に比較器5の出力 $V_5$ は反転する。制御論理回路6は、この比較器5の出力 $V_5$ を監視しながら、スイッチ3の $S_1$ 、 $S_2$

予め、スイッチ3の $S_1$ 、 $S_2$ をオフにしておく。まず、制御論理回路6の指令で、スイッチ3の $S_1$ をオンにし、アナログ入力 $V_{in}$ を積分する。積分器4の出力 $V_4$ は、アナログ入力 $V_{in}$ の大きさに対応した傾斜で負方向に増大する。一定時間後、スイッチ3の $S_1$ をオフ、スイッチ3の $S_2$ をオンにし、今度は基準電圧（ $-V_{ref}$ ）にて、一定の傾斜で積分器4を逆方向に積分する。比較器5では、積分器4の出力 $V_4$ をゼロ電位と比較しており、これがゼロ電位に達すると出力を反転する。この比較器4の出力 $V_4$ が反転して“L”になると、制御論理回路6では、スイッチ3の $S_2$ をオフにする信号を出す。このとき、スイッチ3の $S_2$ のオン・オフは同期化回路7により、クロックパルスに同期して行なわれるので、第3図の拡大図に示すように、積分器4の出力 $V_4$ がゼロ電位に達する点が、クロックパルス $CP_1$ と $CP_2$ の間にあるような場合、スイッチ3の $S_2$ のオフは $CP_2$ 点まで延ばされる。クロックパルスの計数時間は逆積分開始から積分器4の出

力 $V_i$ がゼロ電位に達するまでの時間であるが、 $CP_1$ 点ではすでにクロックパルス計数は終了しており、カウンタ回路10のカウンタ値は確定している。従つて、 $CP_1$ 点における積分器4の出力電圧 $V_a$ 、 $V_b$ 、 $V_c$ は、変換の余り、即ち、1カウンタに満たずデジタル値に変換されなかつたアナログ量である。

第3図において、(a)は変換の余りが、ほとんどゼロに近い場合であり、(c)は変換の余りが、1カウント分に近い場合がある。

このように、スイッチ3のオン・オフをクロックに同期して行なうことにより、 $CP_1$ 点における変換の余りが、そのまま $CP_2$ 点に平行移動される。そして、この平行移動された電位からの次の変換が開始されるので、変換の余りが積分器4に保持され、次の変換に繰込まれる。

〔発明の効果〕

本発明によれば、連続したA/D変換値(デジタル値)を加算することにより、加算個数に比例して分解能を上げることができる。

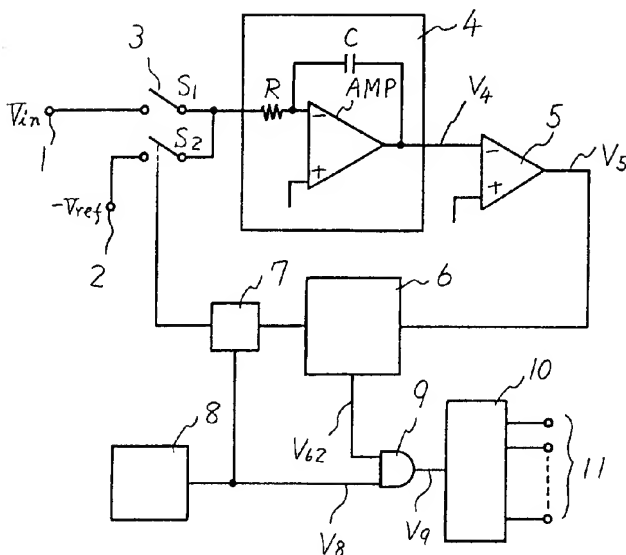
図面の簡単な説明

第1図は本発明に係るA/D変換器一実施例の構成を示す回路図、第2図は第1図に示したA/D変換器の動作状態を示すタイミングチャート、第3図は第2図における積分器4の出力とクロックパルス $V_8$ の関係を示す部分的拡大図である。

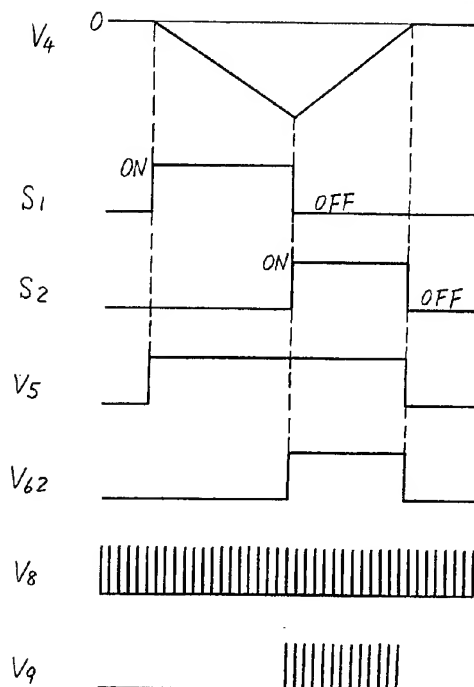
3…スイッチ、4…積分器、5…比較器、6…制御論理回路、7…同期化回路、8…クロックパルス発生器、9…AND回路、10…カウンタ回路。

代理人 弁理士 高橋明夫

第1図



第2図



第 3 図

